PHASE-LOCKED-LOOP

1. Auflage - Typ V 0068



© hps SystemTechnik

Lehr- + Lernmittel GmbH Altdorfer Straße 16 88276 Berg

Telefon: 07 51 / 5 60 75 70 Telefax: 07 51 / 5 60 75 77

Internet: www.hps-SystemTechnik.com
E-mail: support@hps-SystemTechnik.com

Bestell-Nr.: V 0068

Alle Rechte, auch der Übersetzung, vorbehalten. Kein Teil des Werkes darf in irgendeiner Form (Druck, Fotokopie oder einem anderen Verfahren) ohne schriftliche Genehmigung von hps SystemTechnik reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden. Hiervon sind die in §§ 53, 54 UrhG ausdrücklich genannten Ausnahmefälle nicht berührt.



Inhaltsverzeichnis

1.	Prinzip und Grundlagen von PLL
1.1.	Blockschaltbild PLL
1.2.	Funktionsweise PLL
1.3	Phasenkomparator/Phasendetektor PD
1.3.1	Exklusiv-ODER-Gatter als PD
1.3.2	Flankengetriggertes JK-Flipflop als Phasendetektor
1.3.2.1	Der Tristate-Ausgang
1.4	Spannungsgesteuerter Oszillator (VCO)
1.4.1	Einfacher Rechteckgenerator
1.4.2	Allgemeiner VCO
1.5	Tiefpass (TP)
1.6	Zwei Anwendungen des PLL: Frequenzsynthesizer und Drehzahlsteuerung
1.6.1	PLL-Frequenzsynthesizer
1.6.1.1	Die Referenzfrequenz
1.6.1.2	Die Frequenzteiler N_1 und N_2
1.6.2	Drehzahlregelung für einen Gleichstrommotor
•	Vereueheteil
2.	Versuchsteil
2.1	Kennlinienaufnahme der beiden VCOs
2.2	Phasenschieber
2.3	Phasendetektor Typ I
2.4	Phasendetektor Typ II
2.5	Tiefpässe (Schleifenfilter)
2.6	Geschlossener Regelkreis, Ermittlung der Eigenphasenverschiebung
2.7	Halte- und Fangbereiche des PLL-Regelkreises
2.8	Ermittlung der möglichen Frequenzteilerwerte N_1 und N_2 des Frequenzsynthesizers 51
2.9	Dynamisches Regelverhalten des PLL



3.	Lösungsteil
4.	Anhang
4.1	Kurz- und Formelzeichen
4.2	Spezifikationen der verwendeten Messgeräte und Spannungsversorgungen A 2
4.3	Frontbild der Platte "Phase-Locked-Loop" (Typ 4250)